

Mikroelektronik

Analog Sensor Frontend with RISC-V

Im Rahmen dieses Masterprojekts wurde ein RISC-V-basierter, applikationsspezifischer Mikrochip (ASIC) entwickelt, der als Sensor-Frontend dient. Der Zweck besteht darin, einen Demonstrationschip in einem 180nm-Fertigungsprozess zu entwickeln, der einen RISC-V-Mikroprozessorkern in Kombination mit einem analogen Frontend in die IP-Bibliothek des Instituts für Mikroelektronik, Embedded Systems und Sensorik (IMES) integriert.

Analog

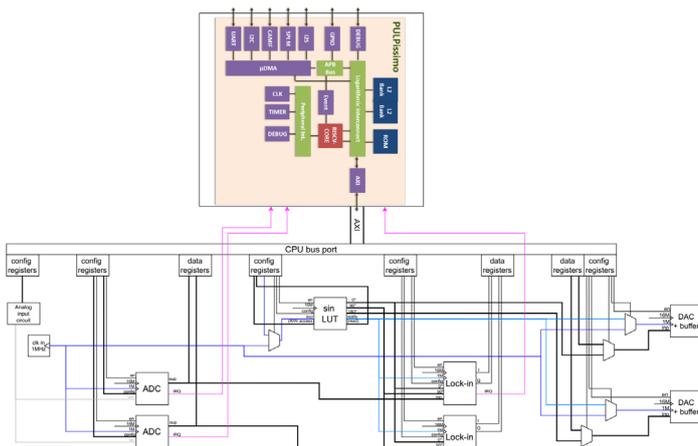
Der ASIC bietet alles, was zur Messung einer grossen Vielfalt von Impedanzen erforderlich ist. Der analoge Kanal besteht aus zwei Digital-zu-Analog-Wandlern (DACs), die einen Strom von bis zu 0,8 mA über einen Bereich von 3,3 V treiben können. Die Signalerfassung erfolgt über zwei Instrumentenverstärker zur gleichzeitigen Messung von Strom und Spannung. Anschliessend folgen zwei 10-Bit Analog-zu-Digital-Wandler (ADCs) mit 1 MS/s (Mega-Sample pro Sekunde). Einer der beiden DACs kompensiert die Messspannung, die durch die Grundkapazität des Sensors verursacht wird. Durch den Wegfall des DC Anteils wird eine höhere Verstärkung der analogen Verstärkerstufe ermöglicht und der ADC-Bereich kann besser ausgenutzt werden.

Controller

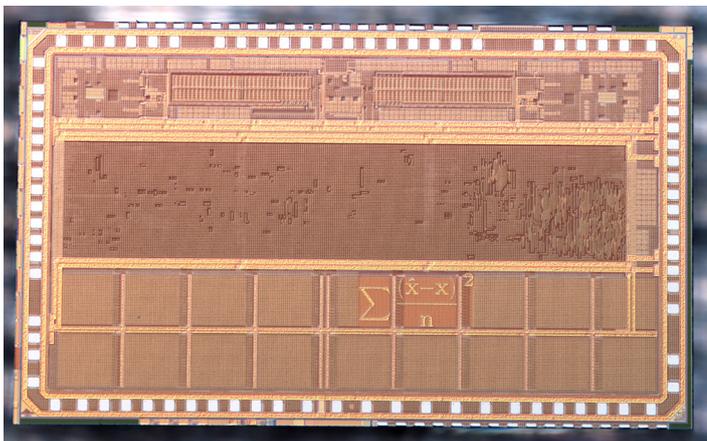
Als Onboard-Signalprozessor wird der Open-Source-Mikrocontroller PULPissimo verwendet, der in SystemVerilog beschrieben ist. Dieser unterstützt verschiedene digitale Schnittstellen wie I2C, UART und SPI zur Übertragung von Messwerten an weitere Komponenten. Ausserdem kann über eine Quad-SPI-Schnittstelle ein externes Flash angeschlossen werden.

System

Das System-on-a-Chip (SoC) wurde in einem Field-Programmable-Gate-Array (FPGA) implementiert und für die Synthese in einem 180-nm-Prozess modifiziert. Der Chip verfügt über 36 kB RAM und unterstützt Taktraten bis zu 40 MHz. Die dedizierten digitalen Lock-In-Verstärker sind über einen AXI-Bus mit dem Mikrocontroller verbunden. Für die Sensor-Frontend-Anwendung wurde auch der DMA erweitert, um den ADC und die Lock-In-Verstärker effizient auswerten zu können. Die Konfiguration des Analogteils wurde in die Memory-Map des SoC aufgenommen.



Blockschema Digitalteil RISC-V-basierter ASIC
© Copyright 2024 - IMES



RISC-V-basierter ASIC
© Copyright 2024 - IMES

ost.ch/imes

IMES | Institut für Mikroelektronik,
Embedded Systems und Sensorik



Kontakt

Prof. Dr. Paul Zbinden
OST – Ostschweizer Fachhochschule,
IMES Institut für Mikroelektronik, Embedded Systems und
Sensorik
Oberseestrasse 10, 8640 Rapperswil
+41 58 257 45 84, paul.zbinden@ost.ch